

(19)日本国特許庁(JP)

(12) 公開特許公報(A)

(11)特許出願公開番号

特開平6-195987

(43)公開日 平成6年(1994)7月15日

(51)IntCl⁵

G11C 16/04

識別記号

庁内整理番号

FI

技術表示箇所

6866-5L

G11C 17/00

308

審査請求 未請求 請求項の数15(全 18 頁)

(21)出願番号 特願平5-239135

(22)出願日 平成5年(1993)8月31日

(31)優先権主張番号 特願平4-255608

(32)優先日 平4(1992)8月31日

(33)優先権主張国 日本(JP)

(31)優先権主張番号 特願平4-255609

(32)優先日 平4(1992)8月31日

(33)優先権主張国 日本(JP)

(31)優先権主張番号 特願平4-255610

(32)優先日 平4(1992)8月31日

(33)優先権主張国 日本(JP)

(71)出願人 000006855

新日本製鐵株式会社

東京都千代田区大手町2丁目6番3号

(72)発明者 澤田 喜久三

神奈川県相模原市淵野辺5丁目10番1号

新日本製鐵株式会社エレクトロニクス研究
所内

(72)発明者 和田 俊男

神奈川県相模原市淵野辺5丁目10番1号

新日本製鐵株式会社エレクトロニクス研究
所内

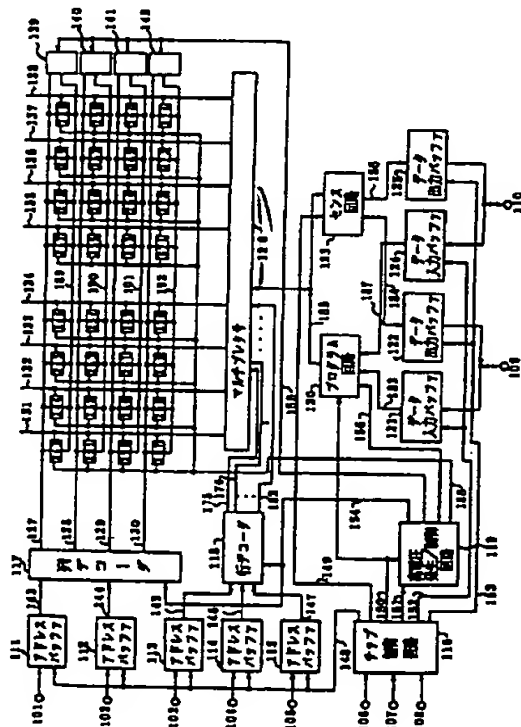
(74)代理人 弁理士 半田 昌男

(54)【発明の名称】 不揮発性半導体記憶装置

(57)【要約】

【目的】 1つのメモリセルに対して4値以上のデータを効率良く読み書きすることができる半導体記憶装置を提供する。

【構成】 複数のメモリセルを備える不揮発性半導体記憶装置において、前記メモリセル243～274は少なくとも4値のしきい値を持ち、しかも、少なくとも4つの互いに異なるプログラム電圧値のうち入力データに対応する1つのプログラム電圧値を用いて前記メモリセルに前記4値のうちの1つのしきい値を記憶させることによりデータを書き込むプログラム回路120と、前記メモリセルが記憶するしきい値を対応する入力データに変換して読み出すセンス回路123とを有する。さらにプログラム回路120は、複数の信号線からなるデータバスに接続され、データバスから選択された少なくとも2本以上の信号線によって供給される信号の組み合わせに応じてメモリセルへの書き込みデータを決定する。



【特許請求の範囲】

【請求項 1】 電氣的に書き換えが可能な不揮発性半導体記憶装置であって、
複数の行線および列線と、
これらの行線および列線にマトリクス状に接続された複数のメモリセルと、

これらの複数のメモリセルから所望のメモリセルを選択する選択手段と、

外部からのデータ信号に応じて少なくとも 4 種類の異なるしきい値から選択された 1 つのしきい値に対応するデータを 10 選択されたメモリセルに書き込む書き込み制御手段と、

前記メモリセルから読み出されたデータを前記しきい値に応じたデータに変換して出力する読み出し制御手段と、

を具備することを特徴とする不揮発性半導体記憶装置。

【請求項 2】 前記書き込み制御手段は、複数の信号線からなるデータバスに接続され、前記データバスから選択された少なくとも 2 本以上の信号線によって供給される信号の組み合わせに応じてメモリセルへの書き込みデータを決定するものである請求項 1 記載の不揮発性半導体記憶装置。 20

【請求項 3】 前記書き込み制御手段は、 $n \times m$ 本の信号線からなるデータバスに接続され n 本の信号線毎に異なるメモリセルへの書き込みデータを受け取り、 2^n 種類（ここで n , m は自然数）の異なるしきい値から選択された 1 つのしきい値に対応するデータを選択されたそれぞれのメモリセルに書き込むものである請求項 1 記載の不揮発性半導体記憶装置。

【請求項 4】 請求項 3 に於て、前記 n は 2 である不揮 30 発性半導体記憶装置。

【請求項 5】 請求項 1 に記載の前記書き込み制御手段は、 $2 \times m$ 本（ここで m は自然数）の信号線からなるデータバスに接続され n 本の信号線毎に異なるメモリセルへの書き込みデータを受け取り、4 種類の異なるしきい値から選択された 1 つのしきい値に対応するデータを選択されたそれぞれのメモリセルに書き込むものである請求項 1 記載の不揮発性半導体記憶装置。

【請求項 6】 前記書き込み制御手段は、少なくとも 4 種類の異なる電圧値の信号を発生し、外部からのデータ 40 信号に応じてこの少なくとも 4 種類の異なる電圧値から選択された 1 つの電圧を選択されたメモリセルに印加するものである請求項 1 記載の不揮発性半導体記憶装置。

【請求項 7】 前記書き込み制御手段は、少なくとも 4 種類の異なる時間幅の信号を発生し、外部からのデータ信号に応じてこの少なくとも 4 種類の異なる時間幅の信号から選択された 1 つの時間幅の信号を選択されたメモリセルに印加するものである請求項 1 記載の不揮発性半導体記憶装置。

【請求項 8】 前記書き込み制御手段は、少なくとも 4 50

種類の異なるパルス数の信号を発生し、外部からのデータ信号に応じてこの少なくとも 4 種類の異なるパルス数の信号から選択された 1 つのパルス数の信号を選択されたメモリセルに印加するものである請求項 1 記載の不揮発性半導体記憶装置。

【請求項 9】 前記メモリセルはフローティングゲートを有するトランジスタを備えるものである請求項 1 記載の不揮発性半導体記憶装置。

【請求項 10】 前記データはファラデーノードハイムトンネリング電流により前記メモリセルへ記憶されるものである請求項 1 記載の不揮発性半導体記憶装置。

【請求項 11】 前記メモリセルからデータを読み出す際に、読み出すメモリセルのしきい値と比較を行なう為の複数の比較参照用メモリセルを前記センス回路内あるいは前記複数のメモリセルの一部に有するものである請求項 1 記載の不揮発性半導体記憶装置。

【請求項 12】 電氣的書き換えが可能で不揮発性を有する集積化された不揮発性半導体記憶装置であって、複数のアドレス入力端子と前記アドレス入力端子からの信号が入力するバッファ回路と、

複数の制御入力端子と複数の列線及び行線と前記列線及び行線にマトリクス状に接続されている電氣的書き換えが可能で且つ少なくとも 4 つの異なるしきい値を持つ複数のメモリセルと、

前記バッファ回路の出力信号に基づき前記列線を選択する列デコーダと、

前記バッファ回路の出力信号に基づき前記列線を選択する行デコーダ及びマルチプレクサと、

前記複数の制御入力端子に接続され複数の信号を出力することにより動作モードとして少なくとも前記メモリセルの記憶データの読みだしモードと前記メモリセルの記憶データの消去モードと前記メモリセルの記憶データのプログラムモードとを作り出すチップ制御回路と、

前記メモリセルの記憶データを出力する複数のデータ出力バッファと、

前記メモリセルへ記憶データを入力する複数のデータ入力バッファと、

前記データ出力バッファと前記データ入力バッファに対してデータの授受を行なう複数のデータ入出力端子と、

消去モード時に前記メモリセルの 1 個ないし複数の消去状態にするための消去電圧を作る回路と、

プログラムモード時に前記メモリセルのうち前記アドレス入力端子からの信号により選択されたものをプログラム状態とする為の電圧を作る回路と、

プログラムモード時に少なくとも 2 つの前記データ入力バッファからデータを受け、少なくとも 4 種類の互いに異なるプログラム電圧値をつくり前記 4 種類のプログラム電圧値のうちの前記受けたデータに対応する 1 つを用いて前記メモリセルに前記データに対応する 1 のしきい値を記憶させることによりデータを書き込むプログラム

回路と、
前記読みだしモード時に前記メモリセルの記憶データを
前記行線から電気的信号として読みだし前記プログラム
モード時に入力された前記データに対応するデータに変
換して前記データ出力バッファに出力するセンス回路
と、

を具備することを特徴とする不揮発性半導体記憶装置。

【請求項13】 前記メモリセルはフローティングゲート
を有するトランジスタを備え、前記プログラムモード
において、前記プログラム回路からのプログラム電圧は
行線に印加されファラデーノードハイムトンネリング電
流によりデータをメモリセルに記憶するものである請求
項12に記載の不揮発性半導体記憶装置。

【請求項14】 前記読みだし時において読みだすメモ
リセルのしきい値と比較を行なう為、複数の比較参照用
メモリセルを前記センス回路内あるいは前記マトリクス
状に配置された複数のメモリセルの一部分に備えるもの
である請求項12に記載の不揮発性半導体記憶装置。

【請求項15】 前記複数の比較参照用メモリセルのし
きい値は前記プログラム電圧値により決められる前記メ
モリセルのしきい値に対応する値である請求項12に記
載の不揮発性半導体記憶装置。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は、不揮発性を有する半導
体記憶装置に関するものである。

【0002】

【従来の技術】

文献1; A 16Kb Electrically Erasable Nonvolatile Memory
1980 IEEE ISSCC Dig. Tech. Pap. pp152-153, 271, 1980

文献2; Analysis and Modeling of Floating-Gate EEPROM Cells
IEEE Trans. Electron Devices 1986 June, ED-33, No 6, pp. 835-844

文献3; 半導体MOSメモリとその使い方 pp. 96-101

日刊工業新聞社刊 1990年

【0003】 半導体装置の電源を切っても記憶データが
失われないという不揮発性を有する半導体記憶装置（以
下PROMと記す）は1970年代初期より開発実用化
されている。更に1980年代より文献1にも示すごと
く電氣的に書き換えができ且つ不揮発性を有する半導体
記憶装置（以下EEPROMと記す）が実用化されてい
る。EEPROMのメモリセルの記憶方法としては、文
献1及び文献2に示すように、フローティングゲートを
有するトランジスタ構造のメモリセルに薄い酸化絶縁膜
を介し、ファラデーノードハイムトンネル現象により、

電荷の注入及び放出を行なうことにより、トランジスタ
のしきい値電圧の制御を行なう。フローティングゲート
に電子を注入することによりメモリセルのしきい値は高
くなり、電子を放出し正孔を注入することによりメモリ
セルのしきい値は低くなる。

【0004】 図4に従来のEEPROMの回路ブロック
を示す。図4は列数として4本、行数として8本の32
個のメモリセルが示してあり、同時に2ビットのデータ
の読みだし及びプログラムを行なう。図4で501, 5
02, 503, 504はアドレス入力端子であり、選択
されるメモリセルのアドレスデータが入力される。入力
端子505, 506, 507にはEEPROMの動作モ
ードを制御する制御信号が入力され、入力端子505に
はチップ選択信号、入力端子506に出力選択信号、入
力端子507にライト信号が入力される。端子508,
509は入出力端子であり、読みだしモードの時には選
択されたメモリセルの記憶データが出力され、ライトモ
ードの時にはメモリセルに記憶されるデータを入力す
る。

【0005】 アドレスバッファ511, 512, 51
3, 514はアドレス入力をバッファし出力する機能
と、パワーダウン信号を受け入力部の消費電流を低減さ
せる機能とを持つ。

【0006】 515はチップ制御回路で、前記入力端子
505, 506, 507からの制御信号に応じ、読みだ
しモード、ライトモード、パワーダウンモード（あるい
はスタンバイモード）、出力非選択モードを作り出す。
ライトモードは更に、消去モードとプログラムモードの
2つに分けられる。消去モードとは、メモリセルの記憶
データの書き換えを行う為に、選択したメモリセルの属
するバイトないし列線ないしメモリブロックのメモリセ
ルを消去状態にすることである。メモリセルの消去状態
とは、メモリセルのしきい値が読みだし時のゲート電圧
よりも高く（あるいは低く）なることを指す。プログラ
ムモードとは、選択したメモリセルを、入力データに応
じてプログラム状態にすることである。プログラム状態
とは、メモリセルしきい値が読みだし時のゲート電圧よ
り低く（あるいは高く）なることを指す。メモリセルデ
ータを書き換える場合、まず消去モードでメモリセルを
消去状態とし、その後入力データに応じメモリセルをプ
ログラム状態とする。すなわち、ライトモードは消去モ
ードとプログラムモードを有している。チップ制御回路
は消去モードやプログラムモードを内部タイマーにより
自動終了させる機能をも含んでいる。

【0007】 518は高電圧発生／制御回路であり、ラ
イト時にEEPROMの電源電圧を昇圧して10～25
V程度の高電圧を発生する回路と消去モード、プログラ
ムモードに応じて所望の高電圧をEEPROM内部の各
回路に供給する制御回路を有している。516は列デコ
ーダでアドレスバッファ511, 512の出力をデコー

5

ドして選択したメモリセルの列線（ワード線とも記す）のみに、ハイ（H）電圧を印加し、非選択メモリセルの列線にはロー電圧を印加するものである。517は行デコードでアドレスバッファ513、514の出力をデコードし、選択するメモリセルの行線にはハイレベル信号を、非選択のメモリセルの行線にはローレベル信号をマルチプレクサ527、528に出力するものである。マルチプレクサ527、528は行デコードの信号に応じて、選択された行線（ビット線とも記す）とデータ線597及び598を接続させるものである。尚、517の出力信号のハイ電圧は読みだし時には電源電圧近傍、ライト時には高電圧である。

【0008】529、530、531、532は列線であり、533、534、535、536、537、538、539、540は行線である。577、578、579、580はメモリセンスプログラム線である。545、546、……、576はメモリセルであり、文献1の図2及び図3に示す構造と結線をしている。

【0009】520及び524はデータ入力バッファでありライトモードにおいて入出力端子508、509のデータ入力をバッファしプログラム回路519及び523にデータを出力する。519及び523はプログラム回路であり、プログラムモードの信号及び高電圧を受けて、データ入力による高電圧ないしロー電圧の出力をデータ線597及び598に行なう。

【0010】521及び525はセンス回路であり、読みだしモードにおいて選択したメモリセルのデータが行線533、534、……、540及びマルチプレクサ527、528を経由しデータ線597及び598に伝達されるが、このデータ線の電圧値の大小ないし電流値の大小を検出し、増幅し、データ出力バッファ522、526に出力する。データ出力バッファ522、526は、読みだしモードにおいてセンス回路521、525からのデータを入出力端子508、509に出力する。更にパワーダウンモード及び出力非選択モードにおいてデータの出力を禁止する機能をも有している。

【0011】585～588はマルチプレクサ527及び528の切り換え制御信号の入力信号線である。チップ制御回路515はアドレスバッファ511、512、513、514の制御入力端子へパワーダウン信号を信号線603を介して出力するものであり、またセンス回路521、525に信号線589を介して読み出しイネーブル信号を出力するものである。そして、プログラムモード時に信号線590を介してプログラム信号をプログラム回路519、523に出力する。更に、高電圧発生／制御回路518は高電圧線594、596に高電圧信号を出力すると共に、メモリセンス線595を0Vにする。信号線591は消去信号線であり、消去モード時に高電圧発生／制御回路518からの高電圧出力信号を信号線594及び595に出力させる。信号線5

6

92はデータ入力イネーブル信号線であり、ライトモードにおいてデータ入力バッファ520及び524を活性化させる。信号線593はデータ出力イネーブル信号線であり、読みだしモードにおいてデータ出力バッファ522及び526を活性化させる。

【0012】541、542、543、544はメモリセンス線595の信号を列線529、530、531、532の信号によりデコードしてメモリセンスプログラム信号577、578、579、580を作り出す回路である。また604はメモリグラウンド線である。

【0013】従来のEEPROMのライト動作及び読みだし動作を簡単に説明する。読みだし時には、まず入力端子505、506、507からの制御信号を読みだしモードにし、アドレス入力端子501、502、503、504に選択したアドレスデータを入力する。入力されたアドレスデータはバッファ511、512、513、514においてバッファされ、列デコード516及び行デコード517でデコードされる。列デコード516の4つの出力信号線の内選択された1本がハイ電圧（通常電源電圧近傍）であり、その他はロー電圧である。更に行デコード517からの切り替え制御信号585～588とマルチプレクサ527により行線533、……、536からの1本の行線が選択され、選択された行線のみがデータ線597とローインピーダンスで電気的に接続される。

【0014】同様に切り替え制御信号585～588とマルチプレクサ528により、行線537～540から1本の行線が選択される。この時メモリセンス線595にはメモリセルのしきい値を検出する電圧、例えば2～4Vが出力され、回路541～544を経由し、選択されたメモリセンスプログラム線577、578、……、580の内選択されたメモリセンスプログラム線のみに前記2～4Vが印加される。また、メモリグラウンド線604は接地状態である。選択されたメモリセルの行線には、センス回路521及び525によりしきい値検出電圧が供給されるが、メモリセルのしきい値電圧が前記しきい値検出電圧よりも低い場合、選択されたメモリセルトランジスタが導通状態となり、選択された行線から、メモリグラウンド線604に電流が流れる。メモリセルのしきい値電圧が前記しきい値検出電圧よりも高い場合、選択されたメモリセルトランジスタは非導通状態であり、行線からメモリグラウンド線604への電流は流れない。行線の電圧はセンス回路521、525により設定され、読みだし時の行線への電流はセンス回路521、525より供給される。この電流の有無をセンス回路が検出し、増幅することにより、メモリセルの記憶データがハイ電圧ないしロー電圧の2値で出力されデータ出力バッファ522及び526を経由し外部に読みだされる。例えばメモリセルのしきい値が6Vと高い場合は入出力端子508にはハイ電圧が出力され、メモリセ

ルのしきい値が0 Vと低い場合には入出力端子508にはロー電圧が出力される。

【0015】ライト動作の場合、まず、メモリセルのデータ消去から行なう。データ消去は、列線単位に行なう様になっているがバイト単位やブロック単位でもよく特にこだわらない。消去モードは入力端子505、506、507からの制御入力による。消去モードにおいては、アドレス入力端子501、502からのアドレスデータによりメモリセルの列線が選択される。選択されたメモリセルの列線には高電圧信号が入力され、その他のメモリセルの列線には0 Vが入力される。メモリセンス線595も高電圧となり回路541~544により、選択されたメモリセルの列線のメモリセンスプログラム線577、578、……、580も高電圧となる。プログラム回路519、523、センス回路521、525は消去時非活性化されており、データ線597は0 Vないしフローティング状態である。メモリグランド線604は消去時は接地状態である。従って選択された列線のメモリセルはゲートに高電圧（例えば20 V）が印加され、ドレイン及びソースが接地された状態になる。このとき、ファラードノードハイムトンネル現象がおき、ドレインからフローティングゲートへ電子が注入され、メモリセルトランジスタのしきい値は高く（例えば5~8 V）なる。

【0016】消去されたメモリセルをプログラムする場合、アドレス入力端子501、502、503、504にプログラムするアドレスデータを入力する。プログラム時、信号線594は高電圧、信号線595は0 V、第2の高電圧信号線596は高電圧、メモリグランド線604はフローティング状態となる。また、列デコード516、行デコード517、プログラム回路519、523、データ入力バッファ520、524は活性化されており、センス回路521、525、データ出力バッファ522、526は非活性化されている。すなわち入出力端子508にデータとしてロー電圧が入力されるとプログラム回路519は信号線597に高電圧（例えば20 V）を出力し、入出力端子508にハイ電圧が入力されると信号線597には0 Vが出力される。信号線597が高電圧の場合、信号線585~588の内、選択された信号線も高電圧信号が入力されるので、選択された行線は高電圧（例えば20 V）となる。選択された列線も高電圧であり、メモリセンスプログラム線577、578、……、580は0 Vであるので、メモリセルトランジスタのゲートは0 V、ドレインには高電圧（例えば20 V）が印加される。この時、ファラードノードハイムトンネルにより、フローティングゲートからドレインへと電子が放出され、かつドレインからフローティングゲートへと正孔が注入され、メモリセルトランジスタのしきい値電圧が例えば（0 Vから-3 V）に下がる。

【0017】

【発明が解決しようとする課題】以上従来のEEPROMの回路機能について述べたが、記憶原理としてのファラードノードハイムトンネル電流は、文献2の（1）式にしめされる様に絶縁膜の両端に印加される電界に比例するものであり、これによるメモリセルトランジスタのしきい値の変化は例えば文献2の図6や図9に示されるように、消去時やプログラム時の高電圧値により、直線的に変化するものである。従来のEEPROMでは消去時やプログラム時に各々1つの高電圧値しか用いず、読みだし時においても、しきい値が高いか低いかわという2値しか検出できていなかった。

【0018】本発明は上記事情に基づいてなされたものであり、1つのメモリセルに対して4値以上のデータを効率的に読み書きすることができる不揮発性半導体記憶装置を提供することを目的とする。

【0019】

【課題を解決するための手段・作用】上記の目的を達成するために本発明の電氣的に書き換えが可能な不揮発性半導体記憶装置は、複数の行線および列線、これらの行線および列線にマトリクス状に接続された複数のメモリセル、これらの複数のメモリセルから所望のメモリセルを選択する選択手段、外部からのデータ信号に応じて少なくとも4種類の異なるしきい値から選択された1つのしきい値に対応するデータを選択されたメモリセルに書き込む書き込み制御手段、前記メモリセルから読み出されたデータを前記しきい値に応じたデータに変換して出力する読み出し制御手段を備える。

【0020】更にデータを効率的に読み書きするために前記書き込み制御手段は、複数の信号線からなるデータバスに接続され、前記データバスから選択された少なくとも2本以上の信号線によって供給される信号の組み合わせに応じてメモリセルへの書き込みデータを決定する。これにより伝統的なメモリのデータバスをそのまま利用して、1つのメモリセルに対する記憶データの取り込みを一回のクロックサイクルで行なう事ができる。また、データバス幅の大きいメモリ構成をとる場合は従来の1ビット×m構成のメモリのように、2ビット×m構成等の同一アドレスで複数のメモリセルに異なるデータを同時に書き込むメモリを構成することができる。

【0021】1つのメモリセルに対して4値以上のデータを記憶するためには、少なくとも下記a、b、cの方法がある。a：少なくとも4種類の異なる電圧値の信号を発生し、外部からのデータ信号に応じてこの少なくとも4種類の異なる電圧値から選択された1つの電圧を選択されたメモリセルに印加する。b：少なくとも4種類の異なる時間幅の信号を発生し、外部からのデータ信号に応じてこの少なくとも4種類の異なる時間幅の信号から選択された1つの時間幅の信号を選択されたメモリセルに印加する。c：少なくとも4種類の異なるパルス数の信号を発生し、外部からのデータ信号に応じてこの少

なくとも4種類の異なるパルス数の信号から選択された1つのパルス数の信号を選択されたメモリセルに印加する。

【0022】前記メモリセルはフローティングゲートを有するトランジスタにデータを記憶するものであり、前記プログラムモードにおいてファーストノードハイムトネリングによりデータを記憶するものであることが望ましい。

【0023】前記読みだし時において読みだすメモリセルのしきい値と比較を行なう為、複数の比較参照用メモリセルを前記センス回路内あるいは前記マトリクス状に配置された複数のメモリセルの一部分に有し、前記複数の比較参照用メモリセルのしきい値は前記プログラム電圧値により決められる前記メモリセルのしきい値に対応する値であることが望ましい。

【0024】

【実施例】次に、本発明の第1の実施例について、図1乃至図3を参照して説明する。図1は本実施例のEEPROMのブロック回路図、図2は図1の中のプログラム回路の詳細図、図3は図1の中のセンス回路の詳細図である。図1において、101、102、103、104、105はアドレス入力端子である。また106、107、108は制御入力端子であり、109、110はデータ入出力端子である。111、112、113、114、115はアドレスバッファであり、116はチップ制御回路、119は高電圧発生/制御回路、117は列デコーダ、118は行デコーダ、243、244、…、274はメモリセル、139、140、141、142は、メモリセンスプログラム線選択回路、126はマルチプレクサ、120はプログラム回路、123はセンス回路、121及び124はデータ入力バッファ、122及び125はデータ出力バッファである。尚メモリセル243、244、…、274は、例えば薄い絶縁膜を介して、フローティングゲートに電荷の注入を行なうものであるが、形状は特に限定をしない。

【0025】また、127、128、129、130は列線（ワード線）であり、列デコーダの出力であり、各メモリセルの選択ゲート（図示せず）及びメモリセンスプログラム線選択回路139～142に接続される。175～182はマルチプレクサ126の切り替え制御信号の信号線である。131、132、…、138は行線（ビット線）であり、各メモリセルのドレイン（図示せず）に接続され、マルチプレクサ126に接続される。信号線149は読みだしイネーブル信号の信号線であり、この読みだしイネーブル信号はセンス回路123に出力される。信号線150はプログラムイネーブル信号の信号線でありプログラム回路120及び高電圧発生/制御回路119に出力される。151は消去信号の信号線であり高電圧発生/制御回路119に出力される。152はデータ入力イネーブル信号の信号線でありデー

タ入力バッファ121及び124に出力される。153はデータ出力イネーブル信号でありチップ制御回路116からデータ出力バッファ122及び125に出力される。

【0026】185はデータ線であり、プログラム回路120の出力をセンス回路123およびマルチプレクサ126に伝達する。154は高電圧線であり高電圧発生/制御回路119からの高電圧信号を列デコーダ117及び行デコーダ118に伝達する。155はメモリセンス電圧線であり、高電圧発生/制御回路119の出力でメモリセンスプログラム線選択回路139、140、141、142に出力される。156はプログラム高電圧線であり高電圧発生/制御回路119からプログラム回路120に出力される。188はメモリグラウンド線で各メモリセル243、…、274の不図示のソース端子に接続されている。

【0027】次に図1に示す本実施例のEEPROMの動作を説明する。図1のEEPROMはその動作モードとして読みだしモード、ライトモード、パワーダウンモード（あるいはスタンバイモード）、出力非選択モードを有する。ライトモードは消去モードとプログラムモードに分けられる。

【0028】まず、読みだしモードの説明を行なう。本実施例のEEPROMは、制御入力端子106、107、108に制御入力データを入力し、チップ制御回路116を読みだしモードに設定する。次にアドレス入力端子101、102、103、104、105に読みだしたいメモリセルのアドレスデータを入力する。入力したアドレスデータはアドレスバッファ111、112、113、114、115によりバッファされ、アドレスバッファ111、112の出力データは列デコーダ117により、列線127、128、129、130にデコードされ、この4本のうち1本がハイ電圧で他の3本がロー電圧となる。またアドレスバッファ113、114、115の出力データは行デコーダ118により、信号線175～182にデコードされ、マルチプレクサ126により、行線131～138の内の1本がデータ線185と導通状態となる。これによりメモリセルの内1個（例えば128と132の交点の152のメモリセル）が選択される。またチップ制御回路116は信号線149、150、151、152、153により、高電圧発生/制御回路119、データ入力バッファ121、124、プログラム回路120を非活性化状態とする。高電圧線154は電源電圧近傍、メモリセル電圧線155は例えば3V、プログラム高電圧線156は例えばロー電圧、メモリグラウンド線188は接地電圧となる。センス回路123は信号線149がハイ電圧となることにより活性状態にされ、データ線185に現われた電圧の増幅と比較検出とデータ復元を行いデータ出力バッファ122、125に出力する。このデータ出力バッファ1

22, 125はデータ入出力端子109, 110に選択されたメモリセルのデータを出力する。

【0029】次に消去モードを説明する。外部から制御端子106, 107, 108にデータを入力して消去モードを設定し、アドレス入力端子101, 102に消去する列線のアドレスデータを入力する。チップ制御回路116は信号線149, 150, 152および153がロー電圧となるとともに、信号線151がハイ電圧となり、高電圧発生/制御回路119が活性状態となり、プログラム回路120, センス回路123, データ出力バッファ122, 125が非活性状態となる。そして高電圧線154は高電圧(例えば20V)となり、メモリセル電圧線155も高電圧(例えば20V)となり、プログラム高電圧線156はロー電圧ないし電源電圧近傍となり、メモリグランド線188は接地電圧になる。その結果列線127, 128, 129, 130の内1本が高電圧(例えば20V)になる。また信号線189, 190, 191, 192の内1本も高電圧(例えば20V)になる。従って選択された列線のフローティングゲートを有するメモリセルトランジスタのゲートが20V、ソースが接地電圧、ドレインも接地電圧(メモリセルトランジスタがゲート電圧により導通状態となる為)となり、ファラードノードハイムトンネリングが起き、しきい値電圧は例えば5Vと高くなる。

【0030】次にプログラムモードについて説明する。プログラムモードでは、まず制御入力端子106, 107, 108に制御データを入力しチップ制御回路116をプログラムモードに設定する。そしてアドレス入力端子101, 102, 103, 104, 105にプログラムを行なうメモリセルのアドレスデータを入力する。チップ制御回路116の出力信号は信号線148がロー電圧、信号線150がハイ電圧、信号線151がロー電圧、信号線152がロー電圧、信号線153がロー電圧となり、高電圧発生/制御回路119, データ入力バッファ121, 124, プログラム回路120が活性化、データ入出力バッファ122, センス回路123が非活性化される。高電圧線154は高電圧(例えば23V)となり、メモリセンス電圧線155は接地電圧となり、プログラム高電圧線156は高電圧(例えば23V)となり、メモリグランド線188はハイインピーダンス状態となる。その結果、列線127, 128, 129, 130の内1本が高電圧(例えば23V)になる。信号線175~182の内1本が高電圧(例えば23V)となり、マルチプレクサ126はオンし選択された行線と185を導通させる。

【0031】プログラムモード時の入力データはデータ入出力端子109, 110から入力されデータ入力バッファ121, 124でバッファされ、プログラム回路120に送られる。プログラム回路120において、入力データはプログラム電圧に変換され、データ線185に

所定の入力データに対応した所定のプログラム電圧が出力される。本実施例の場合、プログラム電圧値は互いに異なる4つの電圧値(例えば22V, 20V, 18V, 16V)の内の1つが選択される。なおプログラム電圧値は4つ以上あってもよい。例えば列線が128、行線が132が選択された場合、行線132にはマルチプレクサ126を経由してプログラム電圧が印加され、例えば20Vとなる。メモリセンス電圧線155は接地電圧であり、列線128は23Vであるので、信号線190はメモリセンスプログラム線選択回路140を経由して接地電圧となる。従ってメモリセル152のドレインには20V、ゲートには接地電圧が印加される為、消去時とは逆に、メモリセルのしきい値は低くなり、例えば-0.5Vとなる。

【0032】なお、本実施例では消去モードとプログラムモード及び他のモードの設定の方法として、制御入力端子106, 107, 108への制御データ入力のみとしたが、特にこれに限定するものでない。また、消去時のメモリセルの選択単位を列線単位としたが、バイト単位やブロック単位でもよく特に限定するものではない。

【0033】図2は図1のプログラム回路120についてより詳細に示したものである。図2でDI1は第1のデータ入力端子、DI2は第2のデータ入力端子、VPPXは高電圧入力端子、PRGはプログラムイネーブル信号入力端子、VPRGはプログラム電圧信号出力端子である。IV11, IV12, IV13, IV14はインバータ回路であり、HVSWSは高電圧スイッチであり、C1, C2, C3, C4はキャパシタンス、MN20, MN21, MN22, MN23, MN24はMOSトランジスタでNチャンネルエンハンスメント型であり、MP20, MP21, MP22はMOSトランジスタでPチャンネルエンハンスメント型である。

【0034】N1はインバータ回路IV11の出力信号線であり、インバータ回路IV13に入力されている。N2はインバータ回路IV12の出力信号線でありインバータ回路IV14に入力されている。N3はインバータ回路IV13の出力信号線であり、MOSトランジスタMP20のゲート及びMOSトランジスタMN20のゲートに接続されている。N4はインバータ回路IV14の出力信号線であり、MOSトランジスタMP21のゲート及びMOSトランジスタMN21のゲートに接続されている。N5は接地ノードで接地電位及びC2の1端及びMOSトランジスタMN20のソースとMOSトランジスタMN21のソースとMOSトランジスタMN22のソースに接続され、出力信号線N7はMOSトランジスタMP22のドレインとMOSトランジスタMP21のソースとMOSトランジスタMP20のソースとMOSトランジスタMN22のドレインに接続されている。出力信号線N8はキャパシタンスC3の一方の電極とMOSトランジスタMP20のドレイン及びMOSト

ランジスタMN20のドレインとを接続する信号線である。信号線N9はキャパシタンスC4の一方の電極とMOSトランジスタMP21のドレイン及びMOSトランジスタMN21のドレインと接続されている。信号線N6はC1の一方の電極とキャパシタンスC2の他方の電極及びキャパシタンスC3の他方の電極及びMN24のゲートを接続する信号線である。N11はMOSトランジスタMN23のソースとMOSトランジスタMN24のドレインに接続されている。N12は電源ノードでMOSトランジスタMP22のソースを電源に接続する。N13は高電圧スイッチHVSWとMOSトランジスタMN23のゲートを接続する信号線である。また、高電圧入力端子VPPXはキャパシタンスC1の他方の電極及びMOSトランジスタMN23のドレイン及び高電圧スイッチHVSWに接続され、プログラムイネーブル信号入力端子PRGは高電圧スイッチHVSWの図示しない制御入力端子に接続されている。又、第1のデータ入力端子DI1はインバータ回路IV11の入力側に、第2の入力端子第2のデータ入力端子DI2はインバータ回路IV12の入力側に、プログラム信号の出力端子VPRGはMOSトランジスタMN24のソースに接続されている。

【0035】図2の第1のデータ入力端子DI1は図1のデータ入力バッファ121に接続され、第2のデータ入力端子DI2は図1のデータ入力バッファ124に接続され、高電圧入力端子VPPXは図1の高電圧発生/制御回路119に接続され、プログラムイネーブル信号入力端子PRGは図1のチップ制御回路116に接続され、プログラム信号の出力端子VPRGは図1のマルチプレクサ126に接続されている。図2に示したプログラム回路は2ビットのデジタルデータからアナログデータへの変換回路で有り、高電圧入力端子VPPXに高電圧（例えば24V）が印加され、プログラムイネーブル信号入力端子PRGがハイ電圧となると、信号線N6の電圧値は以下の様にキャパシタンスC1、C2、C3、C4及び信号線N7の電圧で決定される値になる。

【0036】信号線N6の電圧＝（高電圧入力端子VPPXの電圧×キャパシタンスC1の値＋信号線N7の電圧（キャパシタンスC3の値＋キャパシタンスC4の値））／CT

ここで $CT = C1 + C2 + C3 + C4$

【0037】本実施例においては、信号線N8及びN9の電圧を入力データ値により、接地電圧と信号線N7の電圧（例えば3V程度の定電圧）とで切り換えることにより、信号線N6の電圧を第1のデータ入力端子DI1、第2のデータ入力端子DI2の値により可変できるようにした。更に、キャパシタンスC3とC4の値を異ならせる（例えばキャパシタンスC3の値をキャパシタンスC4の2倍とする）ことによりデータの重みづけを行い、信号線N6の電圧値は4値で比例関係を持たせる

ことができる。プログラムイネーブル信号入力端子PRGの電圧がハイの場合、高電圧スイッチHVSWの出力N13は高電圧となり、MOSトランジスタMN23はオン状態となり、プログラム信号の出力端子VPRGは信号線N6の電圧からMOSトランジスタMN23のしきい値を差し引いた値となる。信号線N6の電圧が例えば21Vの場合出力端子VPRGの電圧は例えば20Vとなる。本実施例の場合、第1のデータ入力端子DI1がハイ電圧で第2のデータ入力端子DI2がハイ電圧の時に出力端子VPRGの電圧がもっとも低く（例えば16V）、第1のデータ入力端子DI1がロー電圧で第2のデータ入力端子DI2がロー電圧の時に、出力端子VPRGの電圧がもっとも高く（例えば22V）なる。入力端子PRGがロー電圧の場合信号線N13もロー電圧となり、MOSトランジスタMN23がオフとなり、出力端子VPRGはフローティングとなる。

【0038】図3でRDは読みだし信号入力端子であり、DO1は第1のデータ出力端子、DO2は第2のデータ出力端子、DBUSはメモリ読みだしデータ入力端子である。インバータ回路IV01、IV02、IV03はMOSトランジスタで構成されたインバータ回路、AND01、AND02はMOSトランジスタで構成された2入力の論理積ゲート、EXORはMOSトランジスタで構成された2入力の排他的論理和ゲートである。MP01、MP02、MP03、MP04、MP05、MP06はMOSトランジスタでPチャンネルエンハンスメント型であり、MN01、MN02、MN03、MN04、MN05、MN06、MN07、MN08、MN09、MN10はMOSトランジスタでNチャンネルエンハンスメント型トランジスタであり、RCEL1、RCEL2、RCEL3はリファレンス用メモリセルである。

【0039】更にMOSトランジスタMP01のドレインとMOSトランジスタMN01のドレイン及びMOSトランジスタMN02のドレイン及びMOSトランジスタMN03のゲートとが各々互いに接続されており、MOSトランジスタMP02のドレイン及びゲートとMOSトランジスタMN03のドレインとMOSトランジスタMN05のゲートが互いに接続され、MOSトランジスタMP03のドレインとMOSトランジスタMN05のドレインはインバータ回路IV02の入力側に接続されている。MOSトランジスタMP05のドレイン及びゲートとMOSトランジスタMN07のドレインとMOSトランジスタMN06のゲートとが互いに接続されている。MOSトランジスタMP06のドレインとMOSトランジスタMN09及びMN10のドレインとMOSトランジスタMN07のゲートが互いに接続されている。更にMOSトランジスタMN07のソース、MOSトランジスタMN08のドレイン及びMOSトランジスタMN09のゲートが互いに接続されている。ゲートE

XORの出力信号はインバータ回路IV03の入力側に接続されており、インバータ回路IV03の出力信号はゲートAND02の入力側に入力されている。以上が回路DAMP1の構成であるが回路DAMP2、DAMP3も同様の回路を有している。

【0040】図3で入力端子RDはインバータ回路IV01の入力及び回路DAMP1のMOSトランジスタMN04のゲート及び回路DAMP2及び回路DAMP3に接続され、インバータ回路IV01の出力RDVはMP01のゲート及びMOSトランジスタMN01のゲートと回路DAMP1のMP06のゲート及びMOSトランジスタMN10のゲートと回路DAMP2と回路DAMP3に接続されている。メモリ読みだしデータ入力端子DBUSはMOSトランジスタMN02のゲート及びMOSトランジスタMN03のソースに接続されており、第1のデータ出力端子DO1はゲートAND01の出力に、第2のデータ出力端子DO2はゲートAND02の出力に接続されている。SO1は回路DAMP01のインバータ回路IV02の出力でありEXORの入力となっており、出力信号線SO2は回路DAMP2でインバータ回路IV02に対応した出力でありゲートAND01の入力及びEXORの入力となっており、出力信号線SO3はDAMP3でインバータ回路IV02に対応した出力でありゲートAND01及びゲートAND02の入力となっている。REF1は回路DAMP1のMOSトランジスタMN08のソースとリファレンス用メモリセルRCELL1のドレイン部分に接続されており、REF2は回路DAMP2でMOSトランジスタMN08のソースに相当する部分とCELL2のドレイン部分に接続されており、REF3は回路DAMP3でMOSトランジスタMN08のソースに相当する部分とリファレンス用メモリセルRCELL3のドレイン部分に接続されている。N30は接地ノードであり、インバータ回路及び論理積及び排他的論理和の接地ノードと、MOSトランジスタMN01、MN02、MN04、MN09、MN10のソース端子とリファレンス用メモリセルRCELL1、RCELL2、RCELL3のソース部分に接続されており、N31は電源ノードであり、インバータ回路及び論理積及び排他的論理和の電源ノードと、MP01、MP02、MP03、MP04、MP05、MP06のソース及びMOSトランジスタMN08のゲートに接続されている。

【0041】図3の読みだし信号入力端子RDは図1の149に、メモリ読みだしデータ入力端子DBUSは図1の185に、第1のデータ出力端子DO1は図1の184に、第2のデータ出力端子DO2は図1の186に対応する。読みだしモードになると読みだし信号入力端子RDはハイ電圧となり、データ入力端子DBUSは選択したメモリセルの行線と同一電位になる。RDVはロー電圧となるので、MOSトランジスタMP01はオン

状態となり、MOSトランジスタMN01はオフ状態となり、N20の電圧は0Vから上昇する。

【0042】N20の電圧が上昇するとMOSトランジスタMN03がオン状態となり、メモリ読みだしデータ入力端子DBUSはN20からMOSトランジスタMN03のしきい値を引いた電圧となる。しかし、メモリ読みだしデータ入力端子DBUSの電圧がMOSトランジスタMN02のしきい値より高くなると、MOSトランジスタMN02がオン状態となり、メモリ読みだしデータ入力端子DBUSの電位上昇を抑制する。従って読みだし信号入力端子RDがハイになることによりメモリ読みだしデータ入力端子DBUSには0Vと電源電圧との中間値近傍、例えば2Vになる。この時読みだしメモリセルがオン状態であれば、メモリ読みだしデータ入力端子DBUSからメモリセルのソースに向けて電流が流れメモリ読みだしデータ入力端子DBUSの電位は若干下がる(例えば1.8V)。この為の電流供給はMOSトランジスタMP02を経由して行なわれるので、MP02のトランジスタサイズを適切に選ぶことによりN21の電圧は、メモリ読みだしデータ入力端子DBUSに比べ大きく低下(例えば4.2Vから3.5Vになる)する。また、N21の電圧は当然メモリセルが流す電流量の大きさにも比例するので、MOSトランジスタMP01及びMOSトランジスタMN02及びMOSトランジスタMN03及びMP02はメモリ読みだしデータ入力端子DBUSの電位変動を増幅していることになる。MOSトランジスタMP03及びMP04及びMOSトランジスタMN05及びMN06及びMN04は差動増幅器であり、N21及びN22が差動入力である。MOSトランジスタMP05、MP06、MN07、MN09、MN10はMOSトランジスタMP02、MP01、MN03、MN02、MN01と相似の回路であり、REF1に対しメモリ読みだしデータ入力端子DBUSと同様な動きをする。

【0043】読みだしメモリセルのしきい値が例えば1.5Vであり、リファレンスセルRCELL1のしきい値が例えば2.5V、リファレンス用メモリセルRCELL2のしきい値が0.5V、リファレンス用メモリセルRCELL3のしきい値が-1.5Vであるとした場合、REF3の電圧<REF2の電圧<メモリ読みだしデータ入力端子DBUSの電圧<REF1の電圧となり回路DAMP1の出力信号線SO1はロー電圧、回路DAMP2の出力信号線SO2はハイ電圧、DAMP3の出力信号線SO3はハイ電圧となる。なお、リファレンス用のメモリセルのしきい値はあらかじめテストモード等で設定しておくものとし本実施例では詳述しない。この結果、第1のデータ出力端子DO1はハイ電圧、第2のデータ出力端子DO2はロー電圧となる。同様にメモリセルのしきい値が3.5Vの場合第1のデータ出力端子DO1の出力がハイ電圧、第2のデータ出力端子DO2の

17

出力がハイ電圧となり、メモリセルのしきい値が-0.5 Vの場合第1のデータ出力端子D O 1の出力がロー電圧、第2のデータ出力端子D O 2の出力がハイ電圧となり、メモリセルのしきい値が-2.5 Vの場合第1のデータ出力端子D O 1の出力がロー電圧、第2のデータ出力端子D O 2の出力がロー電圧となり、メモリセルの記憶データを首尾よく読みだすことができる。

【0044】図4に示す従来の技術ではメモリセル32個に対し4本のアドレス入力と2本の出力となっているが、上記の本実施例は図1に示すように、メモリセル32個に対し5本のアドレス入力と2本の出力となっている。したがって、本実施例によれば、従来と同一のメモリセル個数に対し2倍以上のデータを記憶させ読みだすことができ、半導体メモリの大容量化が従来技術に比べ飛躍的に実現できる。さらに、同一記憶容量で比べれば本実施例のメモリセル数は半分以上にできる為、集積回路化したときのチップ面積が半分程度と大幅に小さくなり、コスト低減の効果が顕著である。

【0045】以上本実施例を説明したが、本発明の主旨から逸脱しない他の実施例も容易に考えうる。例えば、本実施例においては、プログラム時のプログラム電圧値はプログラム回路において発生させたが、これを高電圧/発生制御回路やその他の回路に含ませてもよい。また本実施例では、センス回路にリファレンス用メモリセルを含ませたが、これをマトリクス状に配置されたメモリセルの一部分に含ませてもなら問題は無い。また本実施例は説明の為、メモリセルに4値のしきい値をもたせたが、これ以上であっても無問題である。

【0046】更に本実施例のEEPROMの機能は説明の為簡略化されており、これに他の機能が加わっても本発明の有効性は失われない。例えば、プログラム後のベリファイモード等を容易に追加することができよう。

【0047】また、本実施例でのメモリセルは、フローティングゲートを有するトランジスタとセレクトトランジスタを含んでいるが、これに限定されるものではなく、プログラム時においてプログラム電圧値により、メモリセルのしきい値を比例関係をもって可変できる構造であれば良い。

【0048】以上説明したように本実施例によれば、従来と同一のメモリセル個数に対し2倍以上のデータを記憶させ読みだすことができ、半導体メモリの大容量化が従来技術に比べ飛躍的に実現できる。さらに、同一記憶容量で比べれば本発明のメモリセル数は半分以上にできる為、集積回路化したときのチップ面積が半分程度と大幅に小さくなり、コスト低減の効果が顕著である。

【0049】さらに本実施例では上記効果を実現しつつ、外部接続端子は従来EEPROMとの互換性を有しており、従来技術に対しての機能の削減や、本発明を盛り込む為の新たな端子の追加も必要ないという利点がある。これは本発明ではプログラム回路及びセンス回路に

18

複数のデータ入出力端子から並行にデータをアクセスできるように構成してある為である。

【0050】さらに本発明のセンス回路は、複数でかつしきい値の異なるリファレンス用メモリセルを備え、前記リファレンスメモリセルと読みだすメモリセルとの比較を行なうことにより、精度の高い読みだしを実現できる。例えば他のセンス方式として、メモリセルに流れる電流の絶対値を、負荷トランジスタ等で検出する方法が考えられるが、この方式によれば、メモリセルの電流値が製造バラツキにより安定していない場合、うまく検出できないことが予想される。これに対し本発明のセンス回路は電流の絶対値による比較は行わず、リファレンスセルとの相対値で比較するので前記の問題はなく、結果的に検知精度を高くすることができる。

【0051】次に、本発明の第2の実施例を説明する。第1の実施例ではプログラムモード時に少なくとも4種類の互いに異なる電圧値の信号を発生し、メモリセルに記憶していたが、本実施例では少なくとも4種類の互いに異なるプログラム電圧時間幅を持つ信号を発生し、メモリセルに記憶する。

【0052】本実施例では図1の中のプログラム回路120のみが異なり他は、第1の実施例と同じである。本実施例のプログラム回路120'を図5に示して説明する。

【0053】図5でD I 1は第1のデータ入力端子、D I 2は第2のデータ入力端子、V P P Xは高電圧入力端子、P R Gはプログラムイネーブル信号入力端子、V P R Gはプログラム電圧出力端子である。O S Cはオシレータであり例えば1メガヘルツ程度の発振周期を有する。D V T 1, D V T 2, D V T 3は分周回路であり、D V T 1は例えば10分の1分周回路を3段直列に接続したもの（即ち1000分の1分周回路）であり、D V T 2は例えば2分の1分周回路であり、D V T 3は例えば10分の1分周回路であり、D V T 4は例えば10分の1分周回路である。H V S W'は高電圧変換回路であり、D Cはデコード回路であり、I V 1はインバータ回路であり、トランスファークロップゲートX F 3及びX F 2及びX F 1及びX F 0はトランスファークロップ（転送）ゲートである。

【0054】図5で信号線N 1はオシレータO S Cの出力を分周回路D V T 1へ伝える。信号線N 2は分周回路D V T 1から分周回路D V T 2へ出力を伝える信号線である。信号線N 7は分周回路D V T 2の出力を分周回路D V T 3及びトランスファークロップゲートX F 3の入力へ伝える。信号線N 8は分周回路D V T 3の出力を分周回路D V T 4とトランスファークロップゲートX F 2の入力へ伝える。信号線N 9は分周回路D V T 4の出力をトランスファークロップゲートX F 1の入力へ伝える。信号線N 3はデコード回路D Cの出力をインバータ回路I V 1の入力へ伝える。信号線N 4はデコード回路D Cの出力をトランスファークロップ

ゲート XF 3 の制御入力へ伝える。信号線 N 5 はデコード回路 DC の出力をトランスファージェート XF 2 の制御入力へ伝える。信号線 N 6 はデコード回路 DC の出力をトランスファージェート XF 1 の制御入力へ伝える。信号線 N 8 は SHRG 3 の出力をトランスファージェート XF 3 の入力へ伝える。信号線 N 11 はインバータ回路 IV 1 の出力を高電圧変換回路 H V S W' の制御入力へ伝える。信号線 N 10 はトランスファージェート XF 1, トランスファージェート XF 2, トランスファージェート XF 3 の出力を高電圧変換回路 H V S W' の入力へ伝える。プログラムイネーブル信号入力端子 PRG はオシレータ OSC, 分周回路 DVT 1, DVT 2, DVT 3, DVT 4, 高電圧変換回路 H V S W' に接続されている。第 1 のデータ入力端子 DI 1 及び第 2 のデータ入力端子 DI 2 はデコード回路 DC に接続され、高電圧入力端子 V P P X の出力は高電圧変換回路 H V S W' に接続され、プログラム電圧出力端子 V P R G は高電圧変換回路 H V S W' からの出力端子である。図 5 の第 1 のデータ入力端子 DI 1 は図 1 の信号線 183 に、第 2 のデータ入力端子 DI 2 は図 1 の信号線 187 に、高電圧入力端子 V P P X は図 1 の信号線 156 に、プログラムイネーブル信号入力端子 PRG は図 1 の信号線 150 に、プログラム電圧出力端子 V P R G は図 1 の信号線 185 に接続されている。

【0055】図 5 の動作を図 6 のタイミングチャートを用いて説明する。図 6 は各ノードの電圧を時系列的に並べたものであり、第 1 のデータ入力端子 DI 1 にロー電圧、第 2 のデータ入力端子 DI 2 にハイ電圧を入力した場合を示してある。まず、プログラムイネーブル信号入力端子 PRG はデコード回路 DC を除く全ての回路のイネーブル信号となっており、これがロー電圧からハイ電圧となることにより、オシレータ OSC が発振を開始し、分周回路 DVT 1, DVT 2, DVT 3, DVT 4 が分周を開始し、高電圧変換回路 H V S W' が活性化される。プログラムイネーブル信号入力端子 PRG がハイ電圧になると同時に第 1 のデータ入力端子 DI 1 及び第 2 のデータ入力端子 DI 2 にデータが入力され、高電圧入力端子 V P P X の電圧が電源電圧から高電圧（例えば 22 V）となる。信号線 N 1 上の信号の周期が 1 マイクロ秒とすると、分周回路 DVT により千分の 1 分周されて信号線 2 上の信号の周期は 1 ミリ秒となる。デコード回路 DC により第 1 のデータ入力端子 DI 1, 第 2 のデータ入力端子 DI 2 はデコードされ、信号線 N 3 がロー、信号線 N 5 がハイ、信号線 N 4 がロー、信号線 N 6 がローとなる。分周回路 DVT 1, DVT 2, DVT 3, DVT 4 は例えば D タイプのフリップフロップで構成され、リセット機能つきで同期クロック動作の後縁トリガタイプを例えば使用する。信号線 N 1, N 2, N 7, N 8 は各々分周回路 DVT 1, DVT 2, DVT 3, DVT 4 のクロック端子に接続される。信号線 N 5

がハイで信号線 N 3 及び信号線 N 4 及び信号線 N 6 がローであるので、信号線 N 11 はハイ、トランスファージェート XF 3, XF 1 は非導通状態で、トランスファージェート XF 2 が導通状態となり、信号線 N 8 の信号が信号線 N 10 と電気的に接続される。各分周回路の出力パルス幅は例えば信号線 N 2 上の信号が 0.5 ミリ秒の場合、信号線 N 7 上の信号は 1 ミリ秒、信号線 N 8 上の信号は 10 ミリ秒、信号線 N 9 上の信号は 100 ミリ秒となる。第 1 のデータ入力端子 DI 1, 第 2 のデータ入力端子 DI 2 へのデータ入力値に応じ、前記パルス幅の一つが高電圧変換回路 H V S W' の入力となる。また、信号線 N 3 がハイの場合は高電圧変換回路 H V S W' は非活性化されプログラムパルスは出力されない。高電圧変換回路 H V S W' は信号線 N 10 の電圧を高電圧に変換する回路であり、プログラムイネーブル信号入力端子 PRG がハイで信号線 N 3 がハイである間は高電圧入力端子 V P P X の電圧値がプログラム電圧出力端子 V P R G に出力される。従って、本動作説明によれば、第 1 のデータ入力端子 DI 1 がロー、第 2 のデータ入力端子 DI 2 がハイの場合、プログラム電圧出力端子 V P R G には幅 100 ミリ秒で高さが例えば 22 V のパルスが出力されることになる。第 1 のデータ入力端子 DI 1, 第 2 のデータ入力端子 DI 2 に他のデータが入力された場合でも同様の動作を行ない、データ値に応じたプログラムパルス時間幅を作ることができる。

【0056】尚、プログラムパルスの時間は必ずしも固定ではなくてもよい。また、本実施例では各データ入力間においてはパルス幅の対数と正比例の関係にあるが、必ずしもこの関係が成立しなくても良く、メモリセルのしきい値とデータ値との大小関係及び後述するリファレンス用メモリセルとの大小関係を満足するものであれば良い。

【0057】次に、本発明の第 3 の実施例を説明する。第 1 の実施例ではプログラムモード時に少なくとも 4 種類の互いに異なる電圧値の信号を発生し、メモリセルに記憶していたが、本実施例では少なくとも 4 種類の互いに異なるプログラム電圧パルス列をつくりメモリセルに記憶する。

【0058】本実施例では図 1 の中のプログラム回路 120 のみが異なり他は、第 1 の実施例と同じである。本実施例のプログラム回路 120 を図 7 に示して説明する。

【0059】図 7 は図 1 のプログラム回路 120 についてより詳細に示したものである。図 7 で DI 1 は第 1 のデータ入力端子、DI 2 は第 2 のデータ入力端子、V P P X は高電圧入力端子、PRG はプログラムイネーブル信号入力端子、V P R G はプログラム電圧出力端子である。OSC はオシレータであり例えば 1 メガヘルツ程度の発振周期を有する。DVT は分周回路であり例えば 10 分の 1 分周回路を 3 段直列に接続したもの（即ち 10

00分の1分周)である。PPLSはプログラムバスのパルス回数を制御するパルス回数制御回路であり、H VSW'は高電圧変換回路であり、DCはデコード回路であり、SHRG3は3ビットのシフトレジスタ、SHRG2は2ビットのシフトレジスタ、SHRG1は1ビットのシフトレジスタであり、BF1はバッファ回路である。XF3及びXF2及びXF1及びXF0はトランスファァー(転送)ゲートである。

【0060】図7で信号線N1はオシレータOSCの出力端子と分周回路DVTの入力端子を接続する。信号線N2は分周回路DVTの出力端子とパルス回数制御回路PPLS及びシフトレジスタSHRG3、SHRG2、SHRG1、バッファ回路BF1の入力端子を接続する。信号線N3はパルス回数制御回路PPLSの出力端子と高電圧変換回路H VSW'の入力端子を接続する。信号線N4はデコード回路DCの出力端子とシフトレジスタSHRG3とトランスファァーゲートXF3の入力端子を接続する。信号線N5はデコード回路DCの出力端子とシフトレジスタSHRG2とトランスファァーゲートXF2の入力端子を接続する。信号線N6はデコード回路DCの出力端子とシフトレジスタSHRG1とトランスファァーゲートXF1の入力端子を接続する。信号線N7はデコード回路DCの出力端子とバッファ回路BF1とトランスファァーゲートXF0の入力端子を接続する。信号線N8はシフトレジスタSHRG3の出力端子とトランスファァーゲートXF3の入力端子を接続する。信号線N9はシフトレジスタSHRG2の出力端子とトランスファァーゲートXF2の入力端子を接続する。信号線N10はシフトレジスタSHRG1の出力端子とトランスファァーゲートXF1の入力端子を接続する。信号線N11はバッファ回路BF1の出力端子とトランスファァーゲートXF0の入力端子を接続する。信号線N12はトランスファァーゲートXF0、XF1、XF2、XF3の出力端子とパルス回数制御回路PPLSの入力端子を接続する。

【0061】プログラムイネーブル信号入力端子PRGの信号はオシレータOSC、分周回路DVT、パルス回数制御回路PPLS、高電圧変換回路H VSW'、シフトレジスタSHRG3、SHRG2、SHRG1及びバッファ回路BF1に入力されており、第1のデータ入力端子DI1及び第2のデータ入力端子DI2の入力信号はデコード回路DCに入力され、高電圧入力端子VPPXの入力信号は高電圧変換回路H VSW'に入力され、プログラム電圧端子出力端子VPRGの出力信号は高電圧変換回路H VSW'より出力されている。図7の第1のデータ入力端子DI1は図1の信号線183に、第2のデータ入力端子DI2は図1の信号線187に、高電圧入力端子VPPXは図1の信号線156に、プログラムイネーブル信号入力端子PRGは図1の信号線150に、プログラム電圧端子出力端子VPRGは図1の信号

線185に接続されている。

【0062】次に図8のタイミングチャートを用いて動作を説明する。図8は各ノードの電圧を時系列的に並べたものであり、第1のデータ入力端子DI1にロー電圧、第2のデータ入力端子DI2にハイ電圧を入力した場合を示してある。まず、プログラムイネーブル信号入力端子PRGの信号はデコード回路DCを除く全ての回路のイネーブル信号となっており、これがロー電圧からハイ電圧となることにより、オシレータOSCが発振を開始し、分周回路DVTが分周を開始し、パルス回数制御回路PPLS及び高電圧変換回路H VSW'が活性化され、シフトレジスタ(SHRG3、SHRG2、SHRG1)のリセット状態が解除される。プログラムイネーブル信号入力端子PRGがハイ電圧になると同時に第1、第2のデータ入力端子DI1、DI2にデータが入力され、高電圧入力端子VPPXの電圧が電源電圧から高電圧(例えば20V)となる。

【0063】信号線N1上の信号の周期が1マイクロ秒とすると、分周回路DVTにより千分の1分周されて信号線N2上の信号の周期は1ミリ秒となる。

【0064】デコード回路DCにより第1のデータ入力端子DI1、第2のデータ入力端子DI2はデコードされ、信号線N4がロー、信号線N5がハイ、信号線N6がロー、信号線N7がローとなる。信号線N4、N5、N6上の信号は各々シフトレジスタSHRG3、SHRG2、SHRG1のデータ入力となっている。シフトレジスタSHRG1~SHRG3はDタイプのフリップフロップで構成され、リセット機能つきで同期クロック動作の後縁トリガタイプを例えば使用する。分周回路DVTも同様にDタイプのフリップフロップで構成されている。信号線N2はシフトレジスタSHRG1~SHRG3のクロック端子に入力される。信号線N5がハイで信号線N4及びN6及びN7がローであるので、信号線N2がクロック入力されても信号線N8、N10、N11はローのままであり、信号線N9はN2が2クロック終了した時点でハイ電圧になる。又、トランスファァーゲートXF3、XF1、XF0は信号線N8、N10、N11がローであるので、非導通状態であり、トランスファァーゲートXF2は信号線N5がハイであるので導通状態となり、信号線N9が信号線N12と電氣的に接続される。

【0065】信号線N12上の信号はパルス回数制御回路PPLS回路のリセット信号となっており、リセット信号がくるまでは信号線N2へ入力信号をバッファして信号線N3に出力している。従って信号線N3には、データ入力によりデコードされている2個のクロックパルスが出力されることになる。高電圧変換回路H VSW'は信号線N3の電圧を高電圧に変換する回路であり、プログラムイネーブル信号入力端子PRGがハイで信号線N3がハイである間は高電圧入力端子VPPXの電圧値

をプログラム電圧出力端子VPRGに出力する。従って、本動作説明によれば、第1のデータ入力端子DI1がロー、第2のデータ入力端子DI2がハイの場合、プログラム電圧出力端子VPRGには幅0.5ミリ秒で高さが例えば20Vのパルスが2発出力されることになる。第1のデータ入力端子DI1、第2のデータ入力端子DI2に他のデータが入力された場合でも同様の動作を行ない、データ値に応じたプログラムパルス数を作ることができる。

【0066】尚、プログラムパルスの数は必ずしも固定ではなく、もっと多い数(例えば(11)の時は、0発、(10)の時は10発、(01)の時は20発、

(00)の時は30発とする)であってもよい。この場合、1回のプログラムパルスの幅は小さくする必要がある。また、本実施例では各データ入力間のパルス数は正比例の関係にあるが、必ずしもこの関係が成立しなくても良く、メモリセルのしきい値とデータ値との大小関係及び後述するリファレンス用メモリセルとの大小関係が満足するもので有れば良い。

【0067】次に本発明の第4の実施例を説明する。本実施例は、第1、第2、第3の実施例を発展させ、 $2n \text{ bit} \times m$ 構成のメモリを構成した実施例である。尚本実施例では簡単のための1つのメモリセルは4つの異なる値を記憶できる、即ち $n=2$ の場合で説明する。

【0068】図9に本実施例のメモリの構成を示す。図9においてブロックCELL1からCELLmは図1に示されたメモリセル243、244、……、274と同じメモリセルを備える。アドレスバッファ111、112、……、115および行デコーダ118、列デコーダ117、マルチプレクサ126は図1に同一符号で示された回路と同じ回路である。図9においてブロックconは図1のチップ制御回路116及び高電圧発生/制御回路119をまとめて記載したブロックである。また、図9においてブロックps1、ps2、……、psmは図1のプログラム回路120、センス回路123、データ入力バッファ121、124データ出力バッファ122、125をまとめて記載したブロックであり、以下プログラムブロック記載する。個々のプログラム回路120の構成及び動作は第1から第3までの実施例に於けるプログラム回路120の構成および動作と同じである。

【0069】プログラムブロックps1の入力端子b0、b1はそれぞれ2mビットのバス幅を有するデータバスのLSBおよび第2ビット目に接続されている。入力端子b0、b1はそれぞれ図1のデータ入出力端子109、110に相当する。同様にプログラムブロックps2の入力端子b2、b3はそれぞれ2mビットデータバスの第3ビット目および第4ビット目に接続されている。以下同様にプログラムブロックpsmの入力端子b2m-1、b2mはそれぞれ2mビットデータバスの第2m-1ビット目、MSBに接続されている。2mビッ

トデータバスの各2ビットはそれぞれ 2^n すなわち4種類の異なるデータを現している。従って2mビットデータバスの2ビットずつを用いることにより、m個の4値のデータをプログラムブロックps1、ps2、……、psmに伝達することができる。プログラムブロックps1、ps2、……、psmはそれぞれメモリセルCELL1、CELL2、……、CELLmの所定のアドレスに受け取ったデータを4種類の異なるデータから選択された1つの値として記憶する。この記憶方法は第1から第3の実施例で説明したものと同一である。従って効率よく多数のデータを4値のメモリに伝達することができる。

【0070】

【発明の効果】以上説明したように本発明によれば、従来と同一のメモリセル個数に対し2倍以上のデータを記憶させ読みだすことができ、半導体メモリの大容量化が従来技術に比べ飛躍的に実現できる。さらに、同一記憶容量で比べれば本発明のメモリセル数は半分以下にできる為、集積回路化したときのチップ面積が半分程度と大幅に小さくなり、コスト低減の効果が顕著である。

【0071】さらに本発明では上記効果を実現しつつ、外部接続端子は従来EEPROMとの互換性を有しており、従来技術に対しての機能の削減や、本発明を盛り込む為の新たな端子の追加も必要ないという利点がある。これは本発明ではプログラム回路及びセンス回路に複数のデータ入出力端子から並行にデータをアクセスできるよう構成してある為である。

【0072】さらに本発明のセンス回路は、複数でかつしきい値の異なるリファレンス用メモリセルを備え、前記リファレンスメモリセルと読みだすメモリセルとの比較を行なうことにより、精度の高い読みだしを実現できる。例えば他のセンス方式として、メモリセルに流れる電流の絶対値を、負荷トランジスタ等で検出する方法が考えられるが、この方式によれば、メモリセルの電流値が製造バラツキにより安定していない場合、うまく検出できないことが予想される。これに対し本発明のセンス回路は電流の絶対値による比較は行わず、リファレンスセルとの相対値で比較するので前記の問題はなく、結果的に検知精度を高くすることができる。

【図面の簡単な説明】

【図1】本発明の第1の実施例を示す回路図である。

【図2】本発明の第1の実施例のプログラム回路の詳細図である。

【図3】本発明の第1の実施例のセンス回路の詳細図である。

【図4】従来の技術を示す図である。

【図5】本発明の第2の実施例のプログラム回路の詳細図である。

【図6】本発明の第2の実施例を説明するためのタイミングチャートである。

25

26

【図7】本発明の第3の実施例のプログラム回路の詳細図である。

【図8】本発明の第3の実施例を説明するためのタイミングチャートである。

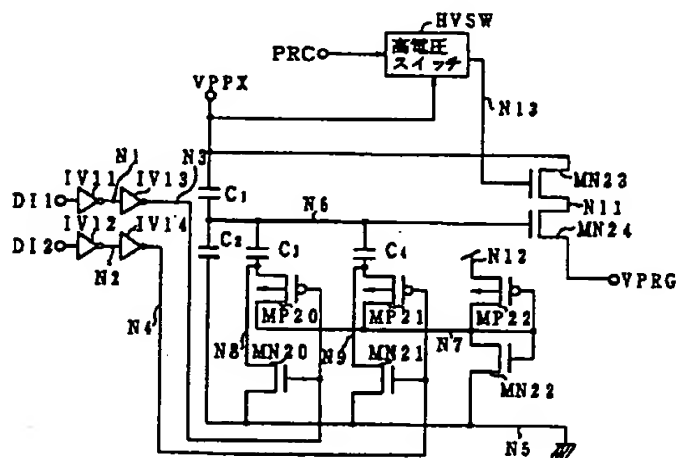
【図9】本発明の第4の実施例の回路ブロック図である。

【符号の説明】

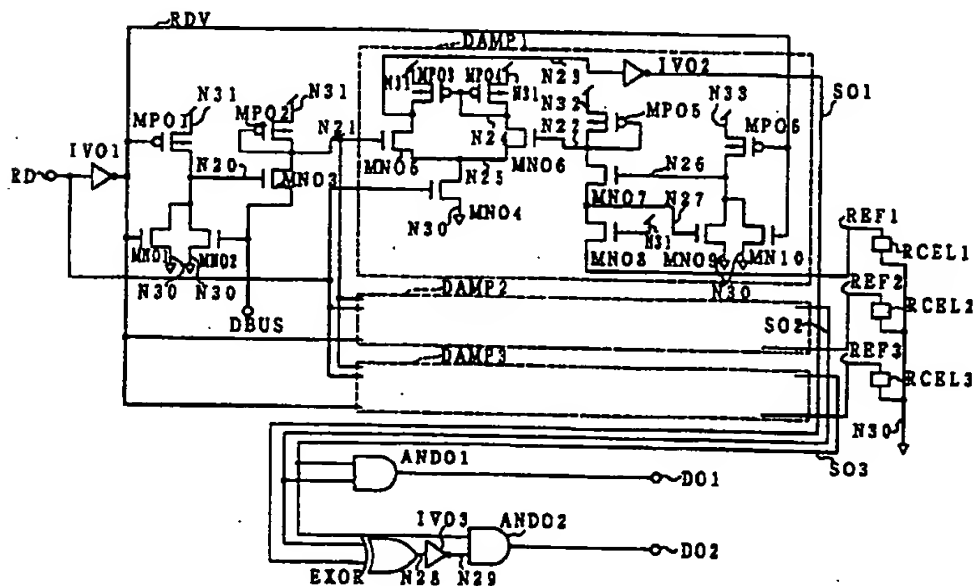
101~105 アドレス入力端子
106~108 制御入力端子
109, 110 データ入出力端子
111~115 アドレスバッファ

*116 チップ制御回路
117 列デコーダ
118 行デコーダ
120 プログラム回路
121, 124 データ入力バッファ
122, 125 データ出力バッファ
123 センス回路
126 マルチプレクサ
127~130 列線
10 131~138 行線
* 243~274 メモリセル

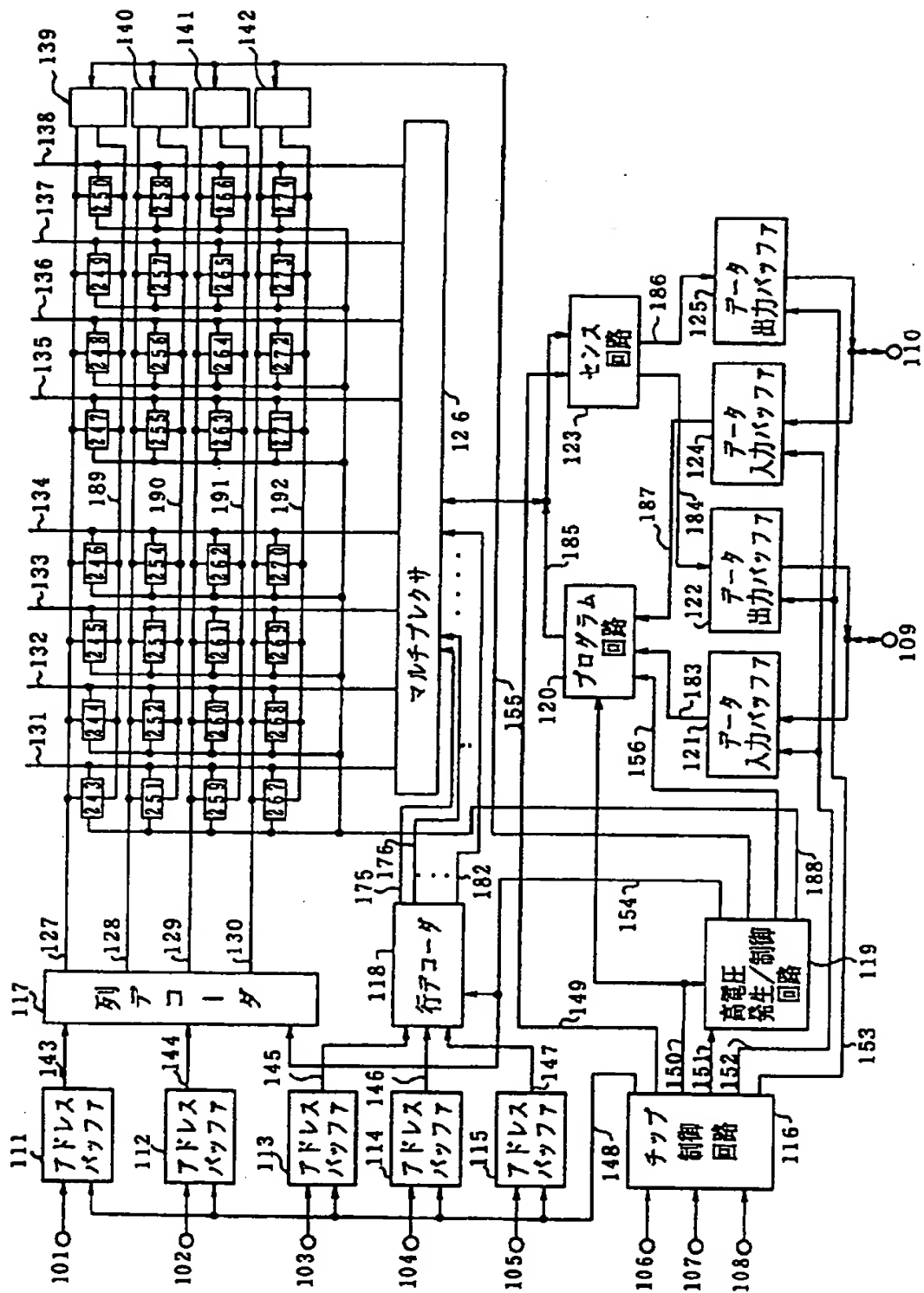
【図2】



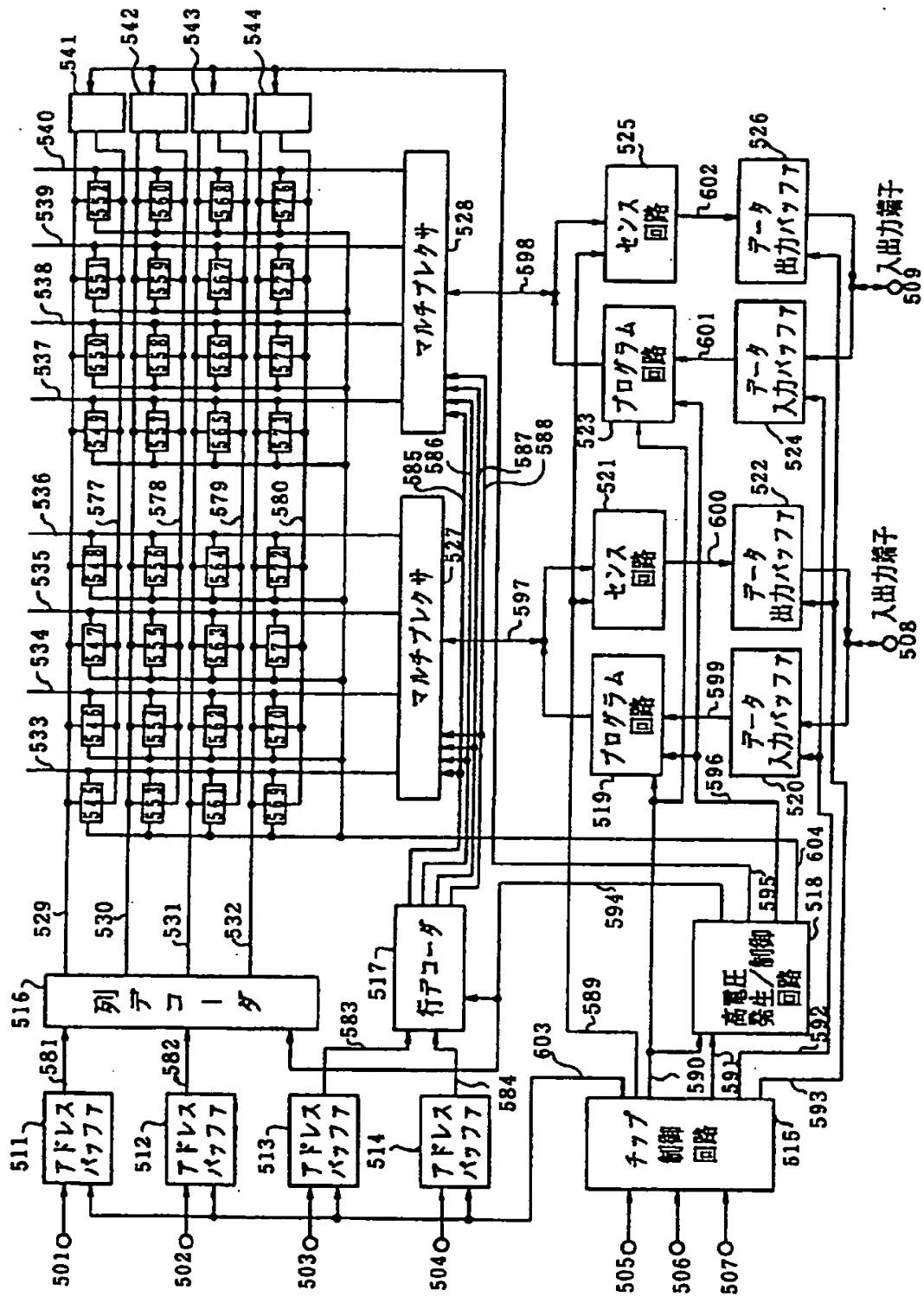
【図3】



【図1】



【図4】



The diagram illustrates the control logic for the electron beam deflection circuit. It starts with an oscillator (OSC) and a frequency divider (DVT1). The signal from DVT1 is split into two paths: one goes through a 1/2 frequency divider (DVT2) and another through a 1/10 frequency divider (DVT3). The output of DVT2 is compared with a reference signal (DI1) by a comparator (XF3). The output of DVT3 is compared with a reference signal (DI2) by a comparator (XF2). The output of DVT4 is compared with a reference signal (DI2) by a comparator (XF1). The outputs of these comparators are used to control the high-voltage switching circuit (HVSW'), which generates the high-voltage signals VPPX and VPRG.

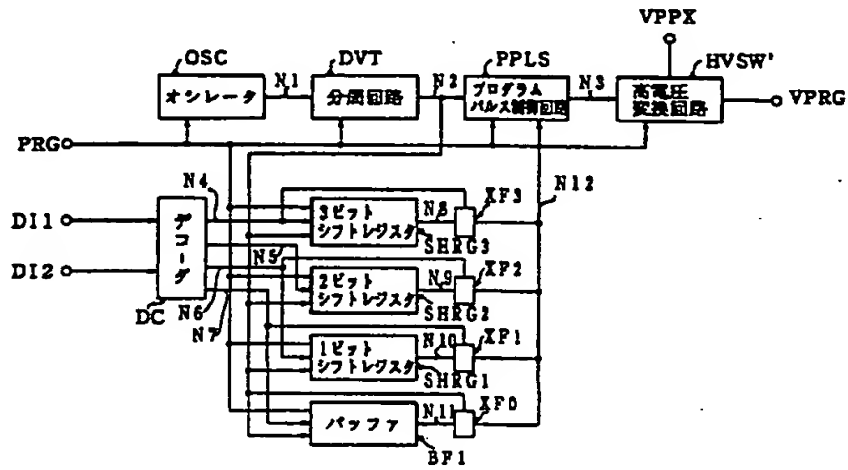
The timing diagram shows the following signals and their behavior:

- VCC**: Supply voltage, shown as a constant high level.
- PRG 0V**: Program memory select signal, shown as a pulse.
- N 1**: Address bus signal, showing a sequence of addresses (1, 2, 3, 4, 5, 6, 7, 8).
- N 2**: Address bus signal, showing a sequence of addresses (1, 2, 3, 4, 5, 6, 7, 8).
- N 7**: Address bus signal, showing a sequence of addresses (1, 2, 3, 4, 5, 6, 7, 8).
- N 8**: Address bus signal, showing a sequence of addresses (1, 2, 3, 4, 5, 6, 7, 8).
- N 9**: Address bus signal, showing a sequence of addresses (1, 2, 3, 4, 5, 6, 7, 8).
- DI 1**: Data bus signal, showing a sequence of data (1, 2, 3, 4, 5, 6, 7, 8).
- DI 2**: Data bus signal, showing a sequence of data (1, 2, 3, 4, 5, 6, 7, 8).
- N 3**: Address bus signal, showing a sequence of addresses (1, 2, 3, 4, 5, 6, 7, 8).
- N 4**: Address bus signal, showing a sequence of addresses (1, 2, 3, 4, 5, 6, 7, 8).
- N 5**: Address bus signal, showing a sequence of addresses (1, 2, 3, 4, 5, 6, 7, 8).
- N 6**: Address bus signal, showing a sequence of addresses (1, 2, 3, 4, 5, 6, 7, 8).
- N 10**: Address bus signal, showing a sequence of addresses (1, 2, 3, 4, 5, 6, 7, 8).
- N 11**: Address bus signal, showing a sequence of addresses (1, 2, 3, 4, 5, 6, 7, 8).
- VPPX**: Program memory select signal, shown as a pulse.
- VCC 22V**: Supply voltage, shown as a constant high level.
- VPRC_OV**: Program memory select signal, shown as a pulse.

The timing diagram shows the following signal behavior:

- PRG**: Starts at 0V, transitions to VCC, and returns to 0V.
- N1**: Shows a series of high-frequency pulses at the beginning of the cycle, then remains at 0V.
- N2**: A square wave signal that transitions from 0V to VCC and back to 0V.
- DI1** and **DI2**: Data input signals that show a transition from 0V to VCC during the memory access cycle.
- N4**, **N5**, **N6**, **N7**, and **N9**: Signals that remain at 0V throughout the cycle.
- N12**: A signal that transitions from 0V to VCC and back to 0V.
- N3**: A signal that transitions from 0V to VCC and back to 0V.
- VPPX**: A signal that transitions from 0V to VCC and back to 0V.
- VPRG**: A signal that transitions from 0V to VCC and back to 0V.

【图 7】



【図 9】

